

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-246475

(43)Date of publication of application : 01.11.1991

(51)Int.Cl.

G01R 31/28

(21)Application number : 02-042422

(71)Applicant : NEC CORP

(22)Date of filing : 26.02.1990

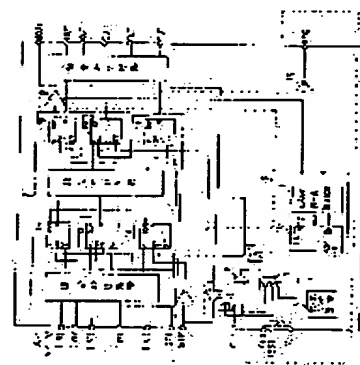
(72)Inventor : KOU MAE SEIICHI

(54) ELECTRONIC CIRCUIT WITH SCAN PATH FOR DIAGNOSIS

(57)Abstract:

PURPOSE: To speedily and surely specify a defective LSI by cascading a register group with the scan path in diagnostic mode, holding scan data which is inputted from a precedent stage in synchronism with clock pulses, and outputting the data to a trailing stage.

CONSTITUTION: An LSI A (B, C, or D) consists of a circuit 2 where registers with the scan path are incorporated and a scan data return control circuit 3. The circuit 2 transfers the scan data on a scan data input terminal SIN in order through the cascaded registers 14 - 19 with the scan path in synchronism with the clock pulses inputted to a terminal CLK. Then the circuit 3 when receiving a return mode end signal from a precedent LSI connects a scan data output terminal SOUT selectively to the terminal SIN for a clock period equal to the number of the registers 14 - 19 and then outputs a return mode end signal to the trailing LSI. Consequently, the scan data can be outputted to outside the package directly from any incorporated LSI.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平3-246475

⑮ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)11月1日

G 01 R 31/28

6912-2G G 01 R 31/28
6912-2G

V
G

審査請求 未請求 請求項の数 1 (全5頁)

⑭ 発明の名称 診断用スキャンバス付き電子回路

⑰ 特 願 平2-42422

⑱ 出 願 平2(1990)2月26日

⑲ 発 明 者 幸 前 成 一 東京都港区芝5丁目33番1号 日本電気株式会社内

⑳ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

㉑ 代 理 人 弁理士 櫻井 俊彦

明 細 書

1. 発明の名称

診断用スキャンバス付き電子回路

2. 特許請求の範囲

パッケージ内に配置された複数の半導体集積回路から成り、各半導体集積回路は、

診断時には縦列接続され前段から入力されたスキャンデータをクロックパルスに同期して保持し後段に出力するスキャンバス付きレジスタ群と、

前記パッケージのスキャンデータ入力ピン又は前段の半導体集積回路のスキャンデータ出力端子から供給されるスキャンデータを前記スキャンバス付きレジスタ群の先頭段に供給するスキャンデータ入力端子と、

前記スキャンバス付きレジスタ群の最終段から出力されるスキャンデータを後段の半導体集積回路のスキャンデータ入力端子又は前記パッケージのスキャンデータ出力ピンに供給するスキャンデータ出力端子と、

前記パッケージの戻しモード指令入力ピンからの戻しモード指令又は前段の半導体集積回路の出力端子からの戻しモード終了信号を受けると、前記スキャンデータ出力端子を前記スキャンバス付きレジスタの個数に等しいクロック周期にわたって前記スキャンデータ入力端子に選択的に接続したのち後段の半導体集積回路が存在すればこれに前記戻しモード終了信号を出力するスキャンデータ戻しモード制御回路とを備えたことを特徴とする診断用スキャンバス付き電子回路。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、各種デジタル電子装置の構成要素として利用される診断用スキャンバス付き電子回路に関するものである。

(従来の技術)

デジタル電子回路には、診断用のスキャンバスが付加されたものがある。このスキャンバス付き電子回路は、通常動作時には並列データの1ビットを保持するフリップ・フロップのうち診断に

必要なものを縦列に接続することによりシフトレジスタを構成し、クロックパルスに同期して直列のスキャンデータとして入出力できるようにしている。

この電子回路がパッケージ内に配置された複数の半導体集積回路(LSI)で構成される場合には、前段のLSIのスキャンデータ出力端子が次段のLSIのスキャンデータ入力端子に順次接続されてゆき複数のLSI間に跨がるシフトレジスタが構成される。通常動作時やスキャンモード時にスキャンバス付きレジスタに保持された診断用のデータが、スキャンアウトモードによりこの電子回路のスキャンデータ出力端子から直列データとして出力させ、これと期待値とが照合される。

(発明が解決しようとする課題)

上記従来の診断用スキャンバス付き電子回路は、縦列接続される各LSIがスキャンデータの入出力機能を有するだけである。このため、LSIの一つが不良の場合でもスキャンアウトデータの全てに不良の影響が波及し、全てのデータが期待値

と一致しなくなる。この結果、パッケージ内のどのLSIが不良なのかを特定するために多大な工数、高度な論理回路の知識、不良診断技術を要するという問題がある。

(課題を解決するための手段)

本発明の診断用スキャンバス付き電子回路によれば、パッケージの戻しモード指令入力ピンからの指令又は前段の半導体集積回路からの戻しモード終了信号を受けると、スキャンデータ出力端子をスキャンバス付きレジスタの個数に等しいクロック周期にわたってスキャンデータ入力端子に選択的に接続したのち後段の半導体集積回路が存在すればこれに戻しモード終了信号を出力するスキャンデータ戻しモード制御回路を付加している。

すなわち、内蔵のどの半導体集積回路からもパッケージ外に直接スキャンデータを出力させることが可能となり、障害発生半導体集積回路の特定を迅速・確実に行える。

(実施例)

第1図は、本発明の一実施例の診断用スキャン

バス付き電子回路の構成を示すブロック図である。

この電子回路1では、それぞれがスキャンデータ戻し機能を備えた4個の半導体集積回路(LSI)A、B、C、Dがパッケージ内に配置されている。

LSIA~Dのそれぞれは、LSIAで代表して第2図に示すように、スキャンバス付きレジスタ内蔵回路2と、スキャンデータ戻し制御回路3とから構成されている。スキャンバス付きレジスタ内蔵回路2では、試験指令入力端子TESTが“H”レベルでスキャン指令入力端子SFTが“L”レベルのとき、クロック入力端子CLKに入力されるクロックパルスに同期してスキャンデータ入力端子SIN上のスキャンデータが縦列接続されたスキャンバス付きレジスタ14、15、16、17、18を通して最終段のスキャンバス付きレジスタ19まで順次転送される。

スキャンデータ戻し制御回路3では、電源オン(ON)時にパワーオンリセット回路9によってカウンタ回路10がリセットされる。スキャン指

令入力端子SFT、戻しモード指令入力端子FEQ及び試験指令入力端子TESTがいずれも“L”レベルに設定されることにより、スキャンデータ戻しモードが設定される。このスキャンデータ戻しモードでは、戻しモード指令入力端子FEQの“L”レベルによって出力ゲート4が開かれ、スキャンバス付きレジスタ14~19に保持中のデータがクロックパルスに同期してスキャンデータ入力端子SINに順次転送されるスキャンデータ戻し動作が可能となる。

カウンタ回路10のリセット直後は、予め設定されているスキャンバス付きレジスタの個数(この例では「6」)とカウンタ10のカウント値とがレジスタ数一致検出回路11で比較される。カウント値が「0」のため、レジスタ数一致検出回路11からは“L”レベルが出力され、出力ゲート12は開放状態に保たれる。この結果、最終段のスキャンバス付きレジスタ19の保持データがゲート12と4とを経てスキャンデータ入力端子SINに戻される。

クロック入力端子CLKに次のクロックパルスが出現すると、カウンタ回路10は1だけ歩進されるがレジスタ数一致検出回路11の出力は“L”レベルに保たれる。また、内部クロック生成ゲート7から出力される内部クロックパルスに同期して一つ前段のスキャンバス付きレジスタ18の保持データがレジスタ19を経てSIN端子に出力される。以下、同様にして、内部クロックパルスが生成されるたびに、前段のレジスタ17、16、15、14の保持データが順次レジスタ19を経てSIN端子に出力される。この間は、カウンタ10のカウント値は“5”以下でありこれはスキャンバス付レジスタ14～19の総数“6”に達しないので、レジスタ数一致検出回路11の出力レベルは“L”に保持される。

次の内部クロックパルスが出現すると、レジスタ数一致検出回路11で一致が検出されその出力レベルが“L”から“H”に反転する。これに伴い、出力ゲート12と内部クロック生成ゲート7が閉じられる。また、この戻しモードの終了を後

段のLSIに通知する戻しモード終了信号が出力端子BEQから出力され、その故障診断動作が終了する。

再び第1図を参照すると、この実施例の電子回路では、上記スキャンデータ戻し機能を備えた4個のLSIA、B、C、Dがスキャンバスを介して縦列接続されている。先頭段のLSIAのスキャンデータ入力端子SINと戻しモード指令入力端子FEQは、それぞれスキャンデータ入力ピンPSINと戻しモード指令入力ピンPFEQとに接続されている。また、このLSIAのスキャンデータ出力端子SOUTと戻しモード終了信号出力端子BEQは、それぞれ次段のLSIBのスキャンデータ入力端子SINと戻しモード指令入力端子FEQに接続されている。同様に、LSIBとCのスキャンデータ出力端子SOUTと戻しモード終了信号出力端子BEQは、それぞれ次段のLSIのスキャンデータ入力端子SINと戻しモード指令入力端子FEQ端子接続されている。さらに、最終段のLSIDのスキャンデータ出力

端子SOUTはスキャンデータ出力ピンPOUTに接続され、戻しモード終了信号出力端子BEQは開放されている。

試験指令ピンPTESTとスキャン指令入力ピンSFTをそれぞれ“H”及び“L”としてクロック信号入力ピンCLKからクロック信号を供給することにより、データ入力ピンDIN10～DIN6上の並列データがLSIAに入力され、後段のLSICを経て出力ピンDOUT10～DOUT6に出力される。また、入力ピンDIN5～DIN1上の並列データはLSIBに入力され、後段のLSIDを経て出力ピンDOUT5～DOUT1に出力される。

また、出力指令入力ピンPSFTを“H”レベルに設定すると、スキャンデータ入力ピンPSINからのスキャンデータ信号はLSIAに取込まれ、順次LSIB、C、Dを経てスキャンデータ出力ピンPSOUTに出力される。

次に、スキャン指令入力ピンPSFTを“H”レベル、戻しモード指令入力ピンPFEQと試験

指令入力ピンPTESTをそれぞれ“L”レベルにすると、スキャンデータ戻しモードとなる。このときクロック信号入力ピンCLKからクロック信号を入力すると、LSIA内のスキャンバス付きレジスタ19～14に保持中のデータが入力ピンPSINを通して順に読出される。入力クロック信号数がLSIAに内蔵されたレジスタ数と一致したときLSIAのレジスタ数分のデータが読出され、戻しモード終了信号端子BEQが“L”レベルとなり、後段のLSIBがスキャンデータ戻しモードに移行する。このLSIBのスキャンデータ戻しモードが終了する後段のLSICがスキャンデータ戻しモードに移行するという具合に縦列接続されたLSIが前段から順次スキャンデータ戻しモードに移行し、この戻しモードが終了した前段のLSIを通してスキャンデータ入力ピンPSINにスキャンデータが読出される。

(発明の効果)

本発明の電子回路は上述したように構成されているので、内蔵のLSIのいずれからも直接スキ

ャンデータをパッケージのスクランデータ入力ピンに出力させることが可能となり、不良LSIの特定が迅速・確実になる。

その結果、未熟練の作業者でも容易に不良診断ができるので大幅に検査工数を削減することが可能である。

4. 図面の簡単な説明

第1図は本発明の一実施例の診断用スクランバス付き電子回路の構成を示すブロック図、第2図は第1図中の半導体集積回路(LSI)A乃至Dの構成を半導体集積回路Aによって代表して示すブロック図である。

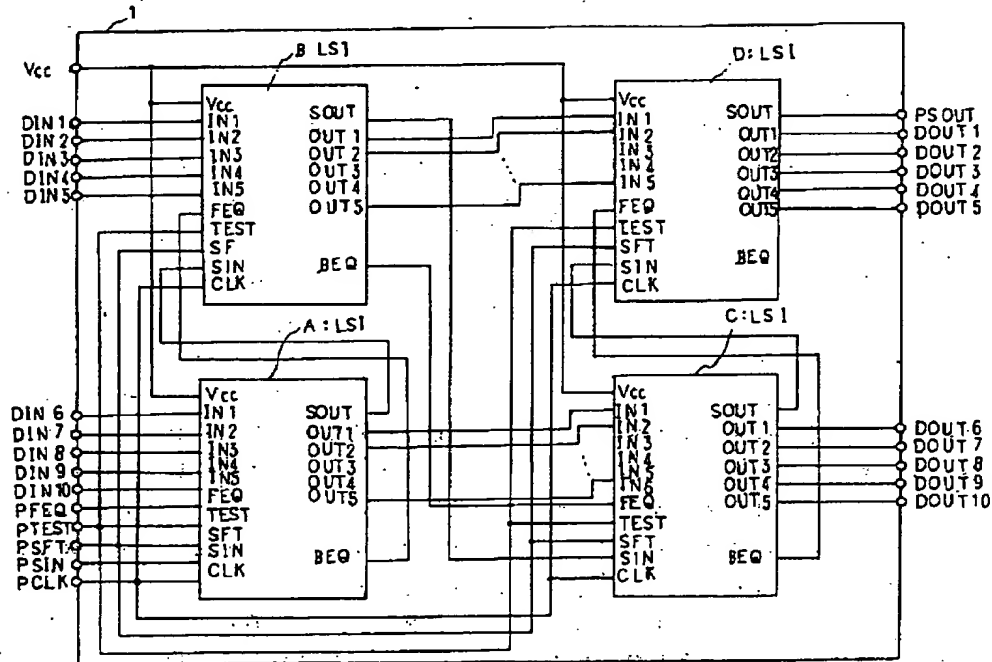
1・・・電子回路パッケージ、2・・・スクランバス付レジスタ内蔵回路、3・・・スクランバスデータ戻し回路、A、B、C、D・・・スクランバスデータ戻し機能を備えたLSI、PSIN・・・スクランバスデータ入力ピン、SIN・・・スクランバスデータ入力端子、PSOUT・・・スクランバスデータ出力ピン、SOUT・・・スクランバスデータ出力端子、PFEQ・・・戻しモード指令入力ピン、

REQ・・・戻しモード指令入力端子、BEQ・・・戻しモード終了信号出力端子、PTEST・・・試験指令入力ピン、TEST・・・試験指令入力端子、PSFT・・・スクランバス指令入力ピン、SFT・・・スクランバス指令入力端子、DIN1～DIN10・・・並列データの入力端子、DOUT1～DOUT10・・・並列データの出力端子。

特許出願人 日本電気株式会社

代理人 弁理士 櫻井俊彦

第 1 図



第 2 図

